

一种自偏置高效率 CMOS 超高频整流电路的设计

段吉海, 罗 磊, 韦保林

(桂林电子科技大学 信息与通信学院, 广西 桂林 541004)

摘 要: 基于 SMIC 0.18 μm 1P6M 标准 CMOS 工艺, 设计并实现了一种低成本、高效率的超高频整流电路. 该设计采用直流偏置电路和驱动电路对整流管的阈值电压进行补偿, 消除了标准 CMOS 工艺阈值电压对整流电路效率的不利影响. 在版图后仿真下, 当输入 915 MHz, 340 mV 的射频信号时, 整流电路的输出电压为 2.646 V, 启动时间为 60 μs , 总体效率高达 43.8%, 整个电路版图面积为 910 $\mu\text{m} \times 600 \mu\text{m}$.

关键词: 超高频 RFID; 高效率; 整流电路

中图分类号: TN710.2

文献标识码: A

文章编号: 1000-7180(2014)01-0168-04

Design of a Self-biased High Efficiency CMOS UHF Rectifier Circuit

DUAN Ji-hai, LUO Lei, WEI Bao-lin

(School of Information and Communication, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: A kind of ultra high frequency rectifier circuit with low cost, high efficiency is designed and realized based on the SMIC 0.18 μm 1P6M standard CMOS process in this paper. This design uses the dc bias circuit and drive circuit to compensate the threshold voltage of the rectifier, and eliminates the adverse effects of the standard CMOS technology threshold voltage on the rectifier circuit efficiency. With the post-layout simulation, when the input 915 MHz, 340 mV radio frequency signal, the rectifier circuit output voltage is 2.646 V, the start time is 60 μs , the overall efficiency is as high as 43.8%, the whole circuit layout area is 910 $\mu\text{m} \times 600 \mu\text{m}$.

Key words: UHF RFID; High efficiency; Rectifier

1 引言

射频识别 (Radio Frequency Identification, RFID) 作为一种新兴的短距离无线通信系统, 目前已广泛应用于日常生活的各个方面, 尤其是无源 RFID 标签不需要额外的内置电源, 具有成本低、体积小、使用寿命长等优点, 是近年来 RFID 技术发展的主流. 无源 UHF RFID 标签芯片的能量来自于读写器发射的射频能量, 在远距离工作条件下, 输入标签的射频能量非常小. 整流电路承担着为整个标签芯片提供电源电压的重任, 因此, 设计低输入电压、高效率的整流电路是近年来研究的一个热点.

无源 UHF RFID 标签整流电路采用 Dickson 电荷泵电路, 或者是在 Dickson 电荷泵电路原理的

基础上, 进行结构改进来产生电源电压, 其中整流管可以使用肖特基二极管^[1]或标准 MOS 管^[2]. 采用肖特基二极管虽可以获得良好的整流性能, 但并不是所有的标准 CMOS 工艺都包含有肖特基二极管, 即使能够使用标准 CMOS 工艺实现肖特基二极管, 也需要增加额外的掩膜和工艺, 大大增加了标签芯片的成本. 除此之外, 也可以使用二极管连接形式的 MOS 管来做整流管. 为了减小 MOS 管开启电压, 常在二极管连接形式的 MOS 管栅极和漏极之间偏置一直流电压源^[3], 或者直接使用低阈值电压、零阈值电压 MOS 管^[4]. 但这两种方法增加了 MOS 管截止时反向漏电流, 降低了整流电路的整流效率.

2 自偏置高效率整流电路设计

在设计整流电路时, 整流电路的输出端一般用

收稿日期: 2013-04-27; 修回日期: 2013-05-22

基金项目: 国家自然科学基金项目(61161003, 61166004, 61264001)

一个电阻和一个电容来模拟后级电路的工作状态. 电阻阻值的大小可由模拟前端与数字逻辑控制、处理模块的功耗确定. 电容的主要作用是储存能量,以便在调制信号持续为低电平时,仍能够保证后级电路正常工作. 根据本文对设计指标的要求,设计整流电路的负载电流至少为 $25\ \mu\text{A}$,最小输出整流电压为 $1.8\ \text{V}$,则由欧姆定律可得出负载电阻为 $72\ \text{k}\Omega$. 同时,根据 ISO/IEC 18000-6 协议内容的规定,标签芯片接收和反向散射信号的速率最低为 $40\ \text{kb/s}$,即有最长 $25\ \mu\text{s}$ 的低电平. 也就是说,整流电路的储能电容至少要维持 $25\ \mu\text{s}$ 的供电能力. 假设整流电路输出电压最大可以从 $5\ \text{V}$ 降到 $1.5\ \text{V}$,标签芯片仍然能够维持正常的工作,可以算出整流电路的储能电容最小容值为 $178.5\ \text{pF}$.

在文献[3]中,“四晶体管单元”CMOS 整流电路结构被提出,但“四晶体管单元”结构主要存在两个问题:①是 MOS 管存在反向导通电流问题. 反向电流会引起负载电容放电,导致整流后电压有很大纹波,在整流电路级数一定的条件下,减小了所能提供的电源电压值. 同时,反向电流增加了 MOS 管的功耗;②是对于多级整流电路,由于衬底偏置效应的存在,导致后级电路 NMOS 管的阈值电压增加,降低了多级整流电路的整流效率.

为了解决以上两个问题,本文在上述电路结构的基础上增加了直流偏置级电路、驱动级电路^[6]来更好地控制 MOS 管栅极电压,减小反向导通电流、衬底偏置效应对后级电路的影响. 其单级整流电路结构图如图 1 所示.

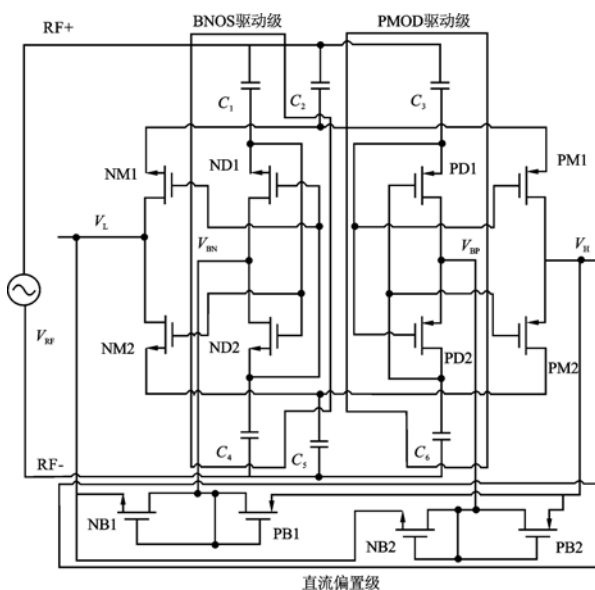


图 1 单级整流电路结构图

其中, NM1、NM2、PM1、PM2 构成“四晶体管单元”电路, ND1、ND2 构成 NMOS 驱动级电路, 为 NM1、NM2 管提供合适的栅极电压. PD1、PD2 构成 PMOS 驱动级电路, 为 PM1、PM2 管提供合适的栅极电压. NB1、PB1, NB2、PB2 构成的直流偏置级电路分别为 NMOS 驱动级、PMOS 驱动提供直流偏置电压. V_H 是整流电路的直流输出端口, V_L 是整流电路的另一直流端口, 其与地相连或与前级输出电压相连.

2.1 整流管尺寸的选择

由图 1 电路结构图可知, NM1、NM2, PM1、PM2 构成“四晶体管单元”电路结构, 整流管的尺寸存在一个最优值. 如果 MOS 管尺寸太小, 则 MOS 管上的压降就很大; 如果 MOS 管尺寸过大, 则输入端寄生电容与反向漏电流增加, 都会引起整流效率的下降. MOS 管尺寸的最优值是整流电路负载电流和最小输入电压幅值的函数^[6]. 在初步确定了整流电路负载电阻和储能电容的值后, 可以对图 1 中构成“四晶体管单元”电路中 MOS 的尺寸进行仿真优化, 其中输入整流电路的射频信号 V_{RF} 幅值取为 $340\ \text{mV}$. 通过改变 NMOS 管和 PMOS 管栅宽 W , 可以找出整流管尺寸与输出电压的最优值. 最终选取“四晶体管单元”电路中的 NMOS 管的宽长比为 $12\ \mu\text{m}/0.18\ \mu\text{m}$, PMOS 管的宽长比为 $25\ \mu\text{m}/0.18\ \mu\text{m}$.

2.2 驱动管尺寸的选择

在稳态时, 要求 ND1、ND2, PD1、PD2 构成的驱动电路不能导通大的电流, 在最小输入电压幅度下, 驱动管必须足够大. 输入电压幅度越小, 驱动管就越大. 由于输入电压幅度很小, 使晶体管工作在亚阈值区, 晶体管的电流近似与晶体管的宽长比成线性关系, 增加晶体管的宽长比就可以增加电流给驱动级输出节点寄生电容充电, 但寄生电容的大小限制了驱动管的宽长比. 如果驱动级输出节点寄生电容太大, 就会减小驱动级电路输出电压摆幅, 从而降低整流电路的性能. 本设计所选择的所有驱动管的宽长比为 $9\ \mu\text{m}/0.18\ \mu\text{m}$, 以保证驱动电路能够在输入电压 V_{RF} 为 $340\ \text{mV}$ 的情况下完成功能. 其中驱动电路与 $0.68\ \text{pF}$ 的驱动电容相连, 从而使驱动电路输出幅度可以达到 V_{RF} 输入电压的 95% 以上.

2.3 直流偏置电路 MOS 管尺寸的选择

V_{BN} 、 V_{BP} 可以通过改变输入射频信号电压幅度的大小来进行优化, 最优的偏置电压可以通过电路仿真得到. 一旦确定了每级整流电路的输出电压和

最优的偏置电压,就可以通过调整直流偏置电路 MOS 管的尺寸来设计偏置电路,并且可以使偏置电路电流非常小,降低偏置电路的功耗.对于偏置电压 V_{BN} 、 V_{BP} ,增加偏置电压可以减小导通的晶体管的压降,当管子正向导通时,可以通过增加管子 $|V_{GS}|$ 的值实现.另一方面,当偏置电压太大,整流管不能完全关闭,从而导致更多的反向电流和更低的转化效率.在给定的负载和输入幅度电压一定的条件下,通过仿真可以得到如下结论:适当的增加偏置电路 MOS 管的栅宽,可以增加整流输出电压.这是因为增加晶体管的宽长比可以减小传导管的压降.但若管子宽度太大,将对减小压降没有任何帮助,因为管子宽度太大时, MOS 管将工作在深度三极管区,流过的 V_{DS} 非常小.因此,因此整流电路的效率也开始随着 MOS 管宽度下降而下降,这是因为增加了 MOS 管的反向电流导致效率下降^[4].综合以上分析,最终选择的偏置电压 V_{bias} 为 250 mV,直流偏置电路中 NMOS 管的宽长比选为 $0.22 \mu\text{m}/0.18 \mu\text{m}$, PMOS 管的宽长比选为 $0.55 \mu\text{m}/0.18 \mu\text{m}$.在 V_{RF} 输入电压为 340 mV 时,每级整流电路的输出电压为 330 mV 左右.

2.4 整流电路级联级数的选择

为了获得所需要的整流电压,在输入电压幅度值一定的条件下,需要一定数量的单级整流电路级联.如果将文献[3]中的“四晶体管单元”电路直接级联后,后级的 NMOS 管的源极与高的直流电压相连.由于 NMOS 管的衬底偏置效应增大了 MOS 管的阈值电压,使得多级整流电路整流效率下降.因此,该整流电路的级数增加到 4 级以上时,输出电压就不再增加^[5].但图 1 所示的电路结构,由于后级 NMOS 管高的衬底偏置电压可以通过直流偏置电路来补偿,所以该整流电路的输出电压随级数增加而增加.整流电路的输入阻抗可由电阻与电容等效,其等效电阻 R_e :

$$R_e = V_{RF}^2 / 2P_{in} \quad (1)$$

式中, V_{RF} 是整流电路的输入电压幅度值, P_{in} 是整流电路输入功率.大的级联数量会减小整流电路的输入电阻^[6].上式表明,整流电路等效的输入电阻越小,在整流电路输入功率一定的条件下,整流电路输入电压幅值 V_{RF} 越小,每级整流电路整流后电压也小,因此需要一定数量的级联来产生所需的输出电压.最终对整体整流电路的设计要求是:整流电路在小的输入电压下,通过一定数量的级联,产生标签芯片所需的工作电压,且整流效率不随级联级数的增

加而下降.级数最优值可以通过对不同级数的整流电路进行仿真,同时考虑阻抗的不匹配、芯片的面积、成本和标签所需工作电压等因素^[7].本文最终选择 8 级如图 1 所示的单级整流电路结构图级联组成总的整流电路.

3 版图后仿真与总整流效率分析

3.1 版图设计与后仿真

整流电路是基于 SMIC $0.18 \mu\text{m}$ 1P6M 标准 CMOS 工艺实现的,其版图如图 2 所示.版图中要注意 MOS 管的对称,从版图可以看出电容占据了整流电路版图面积的一大半.由于整流电路版图中的大面积电容主要是储能电容,对电容的匹配精度要求不高,因此在画版图过程中将大电容分成几个部分的小电容,再将画好的小电容对称布局,组合起来即可.为了使版图左右基本对称,在设计的储能电容值的基础上,在版图右侧又适当加入了一些电容.图 3 给出了版图后仿真,输入信号频率为 915 MHz, V_{RF} 为 340 mV 时,整流电路输出端的电压与时间的关系.整流电路输出端电压为 2.646 V,启动时间为 60 μs .

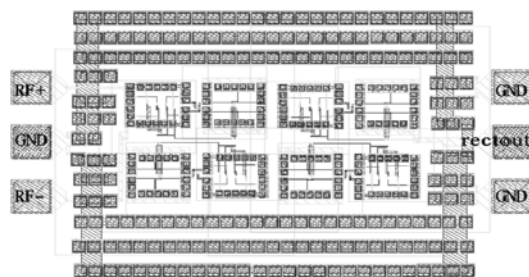


图 2 整流电路版图

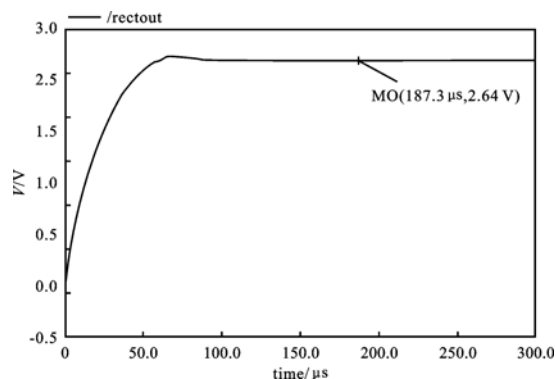


图 3 整流电路版图后仿真输出电压与时间关系

3.2 整流电路整流效率分析

为了获得所设计的整流电路等效电阻 R_e 值,需要对所设计的整流电路进行 SP 参数扫描,得出在 915 MHz 时,整流电路的阻抗为 $47.11-j269.47$.

整流电路最重要的性能指标就是整流效率,它的高低将直接影响其他电路可以实际利用能量的大小.其整体效率 η 定义为

$$\eta = \frac{\text{直流输出功率}}{\text{入射 RF 功率}} = \frac{P_{dc}}{P_{in}} = \frac{V_{dc} I_{out}}{P_{in}} \quad (2)$$

整流电路的整流效率与整个整流电路的输入电容有关、整流级数有关.在整流电路级数一定的前提下,为了使整流电路的输入电容进一步减小,在整流电路的版图设计中,可以将级联电路中第一级整流电路中的 C_2 、 C_5 去掉,将第一级整流电路的 V_L 接地.

在整流电路负载电阻为 $72 \text{ k}\Omega$ 的条件下,由式(1)、式(2)可以计算出,在输入电压幅值为 340 mV 时,整流电路的整体效率达到 43.8% 左右.其中表1给出了本文设计的整流电路与参考文献的性能指标的比较.

表1 整流电路性能指标比较

	文献[1]	文献[5]	本文
工艺/ μm	0.5	0.18	0.18
整流电压/V	1.5	1.2	2.646
效率/%	25	66	43.8
整流管类型	肖特基	CMOS	CMOS

4 结束语

本文采用一种新型的自偏置电路结构形式,实现了一种可应用于无源超高频 RFID 标签的低成本、高效率的整流电路.后仿真结果表明,在整流电路负载为 $72 \text{ k}\Omega$ 的条件下,输入信号频率为 915 MHz , V_{RF} 为 340 mV 时,整流电路后仿真输出端的电压为 2.646 V ,启动时间为 $60 \mu\text{s}$,整流电路的整体效率达到 43.8% 左右,满足了标签芯片对低成本、高效率的整流电路要求.

参考文献:

- [1] Karthaus, Udo. Fully integrated passive UHF RFID transponder IC with $16.7 \mu\text{W}$ minimum RF input power[J]. IEEE Journal Solid-State Circuit, 2003, 38(10):35-41.
- [2] Umeda Toshiyuki. A 950-MHz rectifier circuit for sensor network tags with 10-m distance[J]. IEEE Journal Solid-State Circuit, 2006, 41(1):35-41.
- [3] Mandal, Soumyajit. Low-power CMOS rectifier design for RFID applications[J]. IEEE Transactions Circuits and Systems, 2007, 54(6):1177-1188.
- [4] Yi Jun. Analysis and design strategy of UHF micro-power CMOS rectifiers for micro-sensor and RFID applications[J]. IEEE Transactions on Circuits and Systems, 2007(9):153-166.
- [5] Sasaki Atsushi. Differential-drive CMOS rectifier for UHF RFIDs with 66% PCE at -12 dBm input[J]. IEEE Asian Solid-State Circuits Conference, 2008(11):105-108.
- [6] Bakhtiar, Alireza Sharif. A high-efficiency CMOS rectifier for low-power RFID tags[J]. IEEE International Conference on RFID, 2010(4):83-88.
- [7] Barnett, Raymond E. A RF to DC voltage conversion model for multi-stage rectifiers in UHF RFID transponders[J]. IEEE Journal Solid-State Circuit, 2009, 44(2):354-370.

作者简介:

段吉海 男, (1964—), 博士, 教授, 研究生导师. 研究方向为宽带和超宽带通信集成电路设计、EDA 技术及应用、RFIC 设计.

罗磊 男, (1986—), 硕士研究生. 研究方向为专用集成电路设计.

韦保林 男, (1974—), 博士, 副教授, 硕士生导师. 研究方向为射频、模拟集成电路设计、数模混合集成电路设计.